

510,087

(12)特許協力条約に基づいて公開された国際出願

Rec'd PCT/PTO 01 OCT 2004

10/510087

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 10 月 23 日 (23.10.2003)

PCT

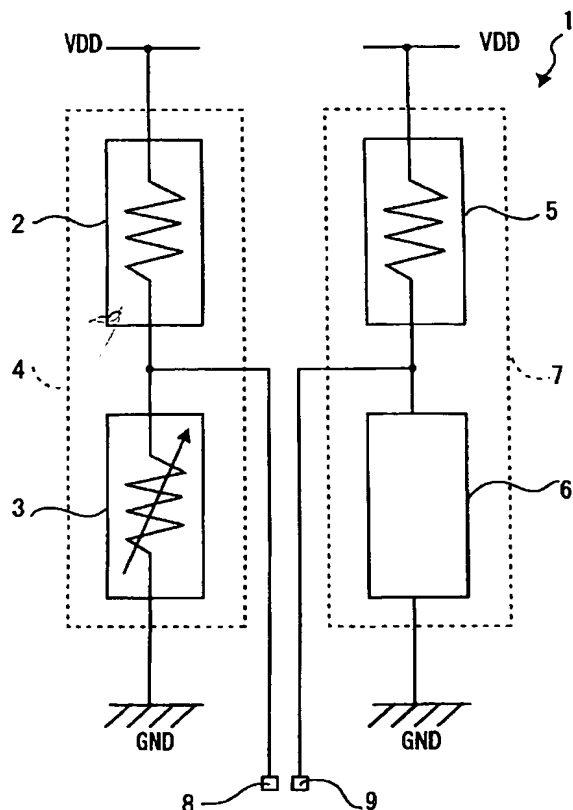
(10) 国際公開番号
WO 03/088254 A1

- (51) 国際特許分類⁷: G11C 11/15 (72) 発明者; および
(21) 国際出願番号: PCT/JP03/04859 (75) 発明者/出願人 (米国についてのみ): 森山 勝利
(22) 国際出願日: 2003 年 4 月 16 日 (16.04.2003) (MORIYAMA, Katsutoshi) [JP/JP]; 〒814-0001 福岡
(25) 国際出願の言語: 日本語 県 福岡市 早良区百道浜 2 丁目 3 番 2 号 ソニーセ
(26) 国際公開の言語: 日本語 ミコンダクタ九州株式会社内 Fukuoka (JP). 肥後 豊
(30) 優先権データ: (HIGO, Yutaka) [JP/JP]; 〒141-0001 東京都 品川区 北
特願2002-115010 2002 年 4 月 17 日 (17.04.2002) JP 品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
(71) 出願人 (米国を除く全ての指定国について): ソニー株 (74) 代理人: 内野 美洋, 外 (UCHINO, Yoshihiro et al.); 〒
式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 810-0021 福岡県 福岡市 中央区今泉 2 丁目 4 番 2 6 号
東京都 品川区 北品川 6 丁目 7 番 3 5 号 Tokyo (JP). 今泉コーポラス 1 階 Fukuoka (JP).
(81) 指定国 (国内): CN, KR, US.
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: STORAGE DEVICE USING RESISTANCE VARYING STORAGE ELEMENT AND REFERENCE RESISTANCE VALUE DECISION METHOD FOR THE DEVICE

(54) 発明の名称: 抵抗変化記憶素子を用いた記憶装置及び同装置の参照抵抗値決定方法



(57) Abstract: A storage device capable of accurately reading out data stored in a resistance varying storage element. The storage device uses a resistance varying storage element whose resistance value varies to a high resistance state in which the resistance value is higher than the reference resistance value and to a low resistance state in which the resistance value is lower than the reference resistance value according to two types of data stored. Between two reference potential terminals set to different potentials, there are arranged a reference circuit and a storage circuit connected in parallel. The reference circuit consists of a resistance element and a reference resistance element connected in series. The storage circuit consists of a resistance element and a resistance varying storage element connected in series. The reference resistance element is arranged so that the resistance value can be modified.

(57) 要約: 抵抗変化記憶素子に記憶したデータを正確に読出すことができる記憶装置を提供することを課題とする。そこで、本発明では、記憶する2種類のデータに応じて参照抵抗素子の抵抗値よりも抵抗値が高くなる高抵抗状態と参照抵抗素子の抵抗値よりも抵抗値が低くなる低抵抗状態とに変化する抵抗変化記憶素子を用いた記憶装置において、2つの異なる電位に設定された基準電位端子間に、抵抗素子と参照抵抗素子とを直列接続してなる参照回路と、抵抗素子と抵抗変化記憶素子とを直列接続してなる記憶回路とを並列接続し、しかも、参照抵抗素子は、抵抗値を変更できるべく構成することにした。

WO 03/088254 A1



添付公開書類:

— 国際調査報告書

— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

抵抗変化記憶素子を用いた記憶装置及び同装置の参照抵抗値決定方法

技術分野

本発明は、抵抗変化記憶素子を用いた記憶装置及び同装置の参照抵抗値決定方法に関するものである。

背景技術

近年、コンピュータの記憶媒体としては、高速に書込みが可能で、書込み回数に制限がなく、しかも、不揮発性のものが望まれており、これらの性能を有する記憶媒体として、固定磁化層と自由磁化層とをトンネル障壁層を介して積層することによって形成した強磁性トンネル接合素子が注目されている。

かかる強磁性トンネル接合素子は、自由磁化層を固定磁化層の磁化方向と同一方向に磁化した場合にはトンネル障壁層での抵抗値が参照する抵抗素子（参照抵抗素子）の抵抗値（参照抵抗値）よりも低くなる一方、自由磁化層を固定磁化層の磁化方向と反対方向に磁化した場合にはトンネル障壁層での抵抗値が参照抵抗値よりも高くなるといった特性を有している。

そして、強磁性トンネル接合素子は、自由磁化層での磁化方向に応じてトンネル障壁層での抵抗値が異なるといった上記の特性を利用して、自由磁化層を固定磁化層の磁化方向と同一方向に磁化するか或いは自由磁化層を固定磁化層の磁化方向と反対方向に磁化するかによって2つの異なる磁化方向の状態を形成し、かかる2つの異なる磁化方向の状態を「0」又は「1」のデータに対応させることによって、強磁性トンネル接合素子にデータを記憶するようにしたものである。

このように、強磁性トンネル接合素子は、記憶する2種類のデータに応じて抵抗値が参照抵抗素子の抵抗値よりも高くなる高抵抗状態と抵抗値が参照抵抗素子の抵抗値よりも低くなる低抵抗状態とに変化する抵抗変化記憶素子として機能している。

かかる抵抗変化記憶素子を記憶媒体として用いた記憶装置は、抵抗変化記憶素子が2種類のデータのいずれのデータを記憶しているかを判定することによって、抵抗変化記憶素子からデータを読み出すようにしており、そのためには、抵抗変化記憶素子が高抵抗状態となっているか或いは低抵抗状態となっているかを判定する必要がある。

このように抵抗変化記憶素子の抵抗状態が高抵抗状態か低抵抗状態かを判定する記憶装置としては、従来より以下に説明する2種類の構造のものが知られていた。

すなわち、従来の第1の記憶装置は、1個のデータを記憶するためにメインとなる素子とサブとなる素子との一対（2個）の抵抗変化記憶素子を同一半導体基板上に形成し、メインとなる抵抗変化記憶素子を記憶すべきデータに対応させた抵抗状態にするとともに、サブとなる抵抗変化記憶素子をメインとなる抵抗変化記憶素子と反対の抵抗状態とし、これらの2個の抵抗変化記憶素子の抵抗値を比較することにより、メインの抵抗変化記憶素子の抵抗値がサブの抵抗変化記憶素子の抵抗値よりも高い場合にはメインの抵抗変化記憶素子が高抵抗状態となっていると判定する一方、メインの抵抗変化記憶素子の抵抗値がサブの抵抗変化記憶素子の抵抗値よりも低い場合にはメインの抵抗変化記憶素子が低抵抗状態となっていると判定するように構成していた。

また、従来の第2の記憶装置は、複数の抵抗変化記憶素子に対して1個の参照抵抗素子を同一半導体基板上に形成し、同参照抵抗素子の抵抗値を抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗値との間の抵抗値に設定しておき、抵抗変化記憶素子の抵抗値が参照抵抗素子の抵抗値よりも高い場合には抵抗変化記憶素子が高抵抗状態にあると判定する一方、抵抗変化記憶素子の抵抗値が参照抵抗素子の抵抗値よりも低い場合には抵抗変化記憶素子が低抵抗状態にあると判定するように構成していた。

ところが、上記従来の第1の記憶装置にあつては、1個のデータを記憶するためにメインとなる抵抗変化記憶素子とサブとなる抵抗変化記憶素子との2個の抵抗変化記憶素子を同一半導体基板上に形成しなければならないことから、半導体

基板上に形成する抵抗変化記憶素子の個数が倍増してしまい、記憶装置が大型化するとともに、多数の抵抗変化記憶素子を精度よく製造しなければならず、製造コストが増大していた。

また、上記従来の第2の記憶装置にあっては、製造プロセスによって抵抗変化記憶素子の高抵抗状態や低抵抗状態での抵抗値に個体差が生じやすく、しかも、両抵抗値に大きな差がないことから、抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗値との間の抵抗値となるように参照抵抗素子の抵抗値を設計段階で予め設定しておくことは非常に困難であった。

また、参照抵抗素子の抵抗値自体も製造プロセスによって個体差が生じやすいことから、参照抵抗素子の抵抗値が抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗値との間の抵抗値にならない場合もあり、その場合には、抵抗変化記憶素子の記憶状態を誤って判定してしまい、抵抗変化記憶素子から記憶したデータを正確に読出すことができなくなるおそれがあった。

そこで、本発明では、半導体基板上に形成する抵抗変化記憶素子の個数を増大させないために、上記従来の第2の記憶装置のように参照抵抗素子を用いた構成とし、しかも、抵抗変化記憶素子や参照抵抗素子の抵抗値に個体差が生じても抵抗変化記憶素子から記憶したデータを正確に読み出すことができるようにするために、参照抵抗素子の抵抗値を変更することができる記憶装置を提供することを目的としている。

発明の開示

すなわち、請求の範囲第1項に係る本発明では、記憶する2種類のデータに応じて参照抵抗素子の抵抗値よりも抵抗値が高くなる高抵抗状態と前記参照抵抗素子の抵抗値よりも抵抗値が低くなる低抵抗状態とに変化する抵抗変化記憶素子を用いた記憶装置において、前記参照抵抗素子の抵抗値を変更できるべく構成することにした。

抵抗値よりも抵抗値が低くなる低抵抗状態とに変化する抵抗変化記憶素子を用いた記憶装置において、2つの異なる電位に設定された基準電位端子間に、第1の抵抗素子と前記参照抵抗素子とを直列接続してなる参照回路と、第2の抵抗素子と前記抵抗変化記憶素子とを直列接続してなる記憶回路とを並列接続し、しかも、前記参照抵抗素子は、抵抗値を変更できるべく構成することにした。

また、請求の範囲3項に係る本発明では、記憶する2種類のデータに応じて参照抵抗素子の抵抗値よりも抵抗値が高くなる高抵抗状態と前記参照抵抗素子の抵抗値よりも抵抗値が低くなる低抵抗状態とに変化する抵抗変化記憶素子を用いた記憶装置において、2つの異なる電位に設定された基準電位端子間に、第1の抵抗素子と前記参照抵抗素子とを直列接続してなる参照回路と、第2の抵抗素子と複数のうちから選択された1個の前記抵抗変化記憶素子とを直列接続してなる記憶回路とを並列接続し、しかも、前記参照抵抗素子は、抵抗値を変更できるべく構成することにした。

また、請求の範囲第4項に係る本発明では、前記請求の範囲第2項又は請求の範囲第3項に係る発明において、前記第2の抵抗素子は、抵抗値を変更できるべく構成することにした。

また、請求の範囲第5項に係る本発明では、請求の範囲第2項～第4項のいずれかに係る本発明において、前記第1の抵抗素子は、抵抗値を前記第2の抵抗素子の抵抗値と同一の抵抗値に変更できるべく構成することにした。

また、請求の範囲第6項に係る本発明では、前記請求の範囲第2項～第5項のいずれかに係る本発明において、前記第1の抵抗素子と前記参照抵抗素子との接続部の電位を参照電位とし、前記第2の抵抗素子と前記抵抗変化記憶素子との接続部の電位を記憶電位とし、前記参照電位と前記記憶電位とを比較して、前記記憶電位が前記参照電位よりも高い場合には前記抵抗変化記憶素子の抵抗状態を高抵抗状態と判定し、一方、前記記憶電位が前記参照電位よりも低い場合には前記抵抗変化記憶素子の抵抗状態を低抵抗状態と判定すべく構成することにした。

また、請求の範囲第7項に係る本発明では、記憶する2種類のデータに応じて抵抗値が参照抵抗値よりも高くなる高抵抗状態と抵抗値が参照抵抗値よりも低く

なる低抵抗状態とに変化する複数の抵抗変化記憶素子を用いた記憶装置において、前記抵抗変化記憶素子の高抵抗状態での最も低い抵抗値と低抵抗状態での最も高い抵抗値との間の抵抗値を参照抵抗値に決定することにした。

また、請求の範囲第 8 項に係る本発明では、複数の抵抗変化記憶素子のうちの一部の抵抗変化記憶素子について高抵抗状態での最も低い抵抗値を求め、その抵抗値を仮の参照抵抗値として設定し、残りの抵抗変化記憶素子について、高抵抗状態での抵抗値が前記仮の参照抵抗値よりも低いと判定される抵抗変化記憶素子の抵抗値のうちで最も低い抵抗値を高抵抗状態における最低抵抗値とし、一方、複数の抵抗変化記憶素子のうちの一部の抵抗変化記憶素子について低抵抗状態での最も高い抵抗値を求め、その抵抗値を仮の参照抵抗値として設定し、残りの抵抗変化記憶素子について、低抵抗状態での抵抗値が前記仮の参照抵抗値よりも高いと判定される抵抗変化記憶素子の抵抗値のうちで最も高い抵抗値を低抵抗状態における最高抵抗値とし、前記高抵抗状態における最低抵抗値と低抵抗状態における最高抵抗値との間の抵抗値を参照抵抗値に決定することにした。

図面の簡単な説明

図 1 は、本発明に係る記憶装置を示す回路図。

図 2 は、センサアンプを付加した記憶装置の回路図。

図 3 は、他実施例としての記憶回路を示す回路図。

図 4 は、他実施例としての記憶回路を示す回路図。

図 5 は、他実施例としての記憶回路を示す回路図。

図 6 は、抵抗変化記憶素子の抵抗状態を示す説明図。

図 7 は、第 1 の参照抵抗値決定方法を説明するフローチャート。

図 8 は、第 2 の参照抵抗値決定方法を説明するフローチャート。

図 9 は、第 2 の参照抵抗値決定方法における誤判定素子検出処理を説明するフローチャート。

図 10 は、第一次対象記憶素子の個数 N_1 と仮参照抵抗値決定処理において検出される最大抵抗値との関係を示すグラフ。

図 1 1 は、第一次対象記憶素子の個数 N_1 と第二次対象記憶素子の個数 N_2 との関係を示すグラフ。

図 1 2 は、第一次対象記憶素子の個数 N_1 と総検出個数 N との関係を示すグラフ。

発明を実施するための最良の形態

本発明に係る記憶装置は、記憶する 2 種類のデータに応じて参照抵抗素子の抵抗値よりも抵抗値が高くなる高抵抗状態と参照抵抗素子の抵抗値よりも抵抗値が低くなる低抵抗状態とに変化する抵抗変化記憶素子（例えば、強磁性トンネル接合素子）を用いた記憶装置である。

そして、2 つの異なる電位に設定された基準電位端子間に、抵抗素子と参照抵抗素子とを直列接続してなる参照回路と、抵抗素子と抵抗変化記憶素子とを直列接続してなる記憶回路とを並列接続したものである。

しかも、参照抵抗素子は、抵抗値を変更できるように構成したものである。

そのため、簡単かつ安価な回路構成でありながら、抵抗変化記憶素子の抵抗値に個体差が生じてても抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗素子の間に参照抵抗素子の抵抗値を変更することによって、抵抗変化記憶素子の記憶状態を正確に判定することができ、抵抗変化記憶素子に記憶したデータを正確に読出すことができるものである。

特に、記憶回路の抵抗素子の抵抗値を変更できるようにした場合には、記憶回路の抵抗素子の抵抗値を増減することで抵抗変化記憶素子に印加される電圧を増減することができ、抵抗変化記憶素子に印加される電圧を最適な電圧に調整することができ、抵抗変化記憶素子の長寿命化を図ることができるものである。

また、参照回路の抵抗素子の抵抗値を記憶回路の抵抗素子の抵抗値と同一の抵抗値に変更できるようにした場合には、抵抗変化記憶素子に印加される電圧と参照抵抗素子に印加される電圧とを同一にすることによって、参照抵抗素子の抵抗値がそのまま抵抗変化記憶素子の抵抗値となり、参照抵抗素子の抵抗値を測定すれば抵抗変化記憶素子の抵抗値を測定したことになり、抵抗変化記憶素子の抵抗

値を間接的に測定することができ、これにより、抵抗変化記憶素子での記憶状態を直ちに判定することができるものである。

また、参照回路の抵抗素子と参照抵抗素子との接続部の電位を参照電位とし、記憶回路の抵抗素子と抵抗変化記憶素子との接続部の電位を記憶電位とし、参照電位と記憶電位とを比較して、記憶電位が参照電位よりも高い場合には抵抗変化記憶素子の抵抗状態を高抵抗状態と判定し、一方、記憶電位が参照電位よりも低い場合には抵抗変化記憶素子の抵抗状態を低抵抗状態と判定することによって、参照電位と記憶電位との電位差から抵抗変化記憶素子での抵抗状態を判定することができ、抵抗変化記憶素子での抵抗状態の判定を比較的簡単かつ安価な回路構成で行うことができるものである。

また、抵抗変化記憶素子の高抵抗状態での抵抗値のうち最も低い抵抗値と低抵抗状態での抵抗値のうち最も高い抵抗値との間の抵抗値に参照抵抗値を決定することにした場合には、抵抗変化記憶素子の抵抗値に個体差が生じてても抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗値の間に参照抵抗素子の抵抗値を設定することができ、これにより、抵抗変化記憶素子の記憶状態を正確に判定することができ、抵抗変化記憶素子に記憶したデータを正確に読出すことができるものである。

また、複数の抵抗変化記憶素子のうちの一部の抵抗変化記憶素子について高抵抗状態での最も低い抵抗値を求め、その抵抗値を仮の参照抵抗値として設定し、残りの抵抗変化記憶素子について、高抵抗状態での抵抗値が前記仮の参照抵抗値よりも低いと判定される抵抗変化記憶素子の抵抗値のうちで最も低い抵抗値を高抵抗状態における最低抵抗値とし、一方、複数の抵抗変化記憶素子のうちの一部の抵抗変化記憶素子について低抵抗状態での最も高い抵抗値を求め、その抵抗値を仮の参照抵抗値として設定し、残りの抵抗変化記憶素子について、低抵抗状態での抵抗値が前記仮の参照抵抗値よりも高いと判定される抵抗変化記憶素子の抵抗値のうちで最も高い抵抗値を低抵抗状態における最高抵抗値とし、前記高抵抗状態における最低抵抗値と低抵抗状態における最高抵抗値との間の抵抗値を参照抵抗値に決定した場合には、参照抵抗値を決定するまでに要する抵抗変化記憶素

子の抵抗値の検出回数を低減することができ、短時間で参照抵抗値を決定することができるものである。

以下に、本発明の具体的な実施の形態について図面を参照しながら説明する。

本発明に係る記憶装置 1 は、図 1 に示すように、2 つの異なる電位に設定された基準電位端子としての電源端子 VDD と接地端子 GND との間に、第 1 の抵抗素子 2 と参照抵抗素子 3 とを直列接続することによって構成した参照回路 4 と、第 2 の抵抗素子 5 と抵抗変化記憶素子 6 としての強磁性トンネル接合素子とを直列接続することによって構成した記憶回路 7 とを並列接続している。

また、記憶装置 1 は、参照回路 4 を構成する第 1 の抵抗素子 2 と参照抵抗素子 3 との接続部に参照電位端子 8 を接続するとともに、記憶回路 7 を構成する第 2 の抵抗素子 5 と抵抗変化記憶素子 6 との接続部に記憶電位端子 9 を接続している。ここで、参照電位端子 8 の電位、すなわち、第 1 の抵抗素子 2 と参照抵抗素子 3 との接続部の電位を参照電位と呼び、また、記憶電位端子 9 の電位、すなわち、第 2 の抵抗素子 5 と抵抗変化記憶素子 6 との接続部の電位を記憶電位と呼ぶ。

上記構成の記憶装置 1 において、第 1 の抵抗素子 2 と第 2 の抵抗素子 5 は、2 端間で電圧降下を生じさせる抵抗を有するものであればよく、1 個の抵抗部品からなるものでもよく、また、複数個の抵抗部品を直列・並列に接続したものでもよく、さらには、トランジスタの ON 抵抗を利用したものでもよい。

また、抵抗変化記憶素子 6 は、記憶する 2 種類のデータ（例えば、「0」又は「1」）に応じて参照抵抗素子 3 の抵抗値よりも抵抗値が高くなる高抵抗状態と参照抵抗素子の抵抗値よりも抵抗値が低くなる低抵抗状態とに抵抗状態が変化するものをいい、例えば、強磁性トンネル接合素子が該当する。

また、参照抵抗素子 3 は、抵抗値を変更できるように構成したものであり、2 端間で電圧降下を生じさせる抵抗を有するものであればよく、1 個の可変抵抗部品からなるものでもよく、また、複数個の可変抵抗部品を直列・並列に接続したものでもよく、さらには、トランジスタのゲートに印加する電圧によってトランジスタの ON 抵抗を可変としたものであってもよい。

上記構成の記憶回路 1 において、参照電位端子 8 と接地端子 GND との間の抵抗値を直接測定すれば、その抵抗値は、抵抗変化記憶素子 6 の抵抗値になる。すなわち、参照電位端子 8 と接地端子 GND との間の抵抗値を直接測定することによって、抵抗変化記憶素子 6 の抵抗値が測定でき、かかる抵抗値と参照抵抗値とを比較することによって抵抗変化記憶素子 6 が高抵抗状態にあるか又は低抵抗状態にあるかを判断することができる。

また、抵抗変化記憶素子 6 の抵抗値は、直接測定しなくても、間接的に測定することもできる。すなわち、第 1 の抵抗素子 2 の抵抗値と第 2 の抵抗素子 5 の抵抗値とを同一にしておき、参照電位と記憶電位とが同一となるように参照抵抗素子 3 の抵抗値を調整すれば、そのときの参照抵抗素子 3 の抵抗値がそのまま抵抗変化記憶素子 6 の抵抗値となるので、参照抵抗素子 3 の抵抗値を測定することによって抵抗変化記憶素子 6 の抵抗値を間接的に測定することができる。また、第 1 の抵抗素子 2 の抵抗値と第 2 の抵抗素子 5 の抵抗値とを同一にしておかなくても、参照電位と記憶電位とが同一となるように参照抵抗素子 3 の抵抗値を調整し、そのときの参照抵抗素子 3 の抵抗値と第 1 の抵抗素子 2 の抵抗値との比と第 2 の抵抗素子 5 の抵抗値とから抵抗変化記憶素子 6 の抵抗値を算出することができ、これによっても抵抗変化記憶素子 6 の抵抗値を間接的に測定することができる。

このように、抵抗変化記憶素子 6 の抵抗値を直接的に測定しなくても、参照電位と記憶電位とから抵抗変化記憶素子 6 の抵抗値を間接的に測定することができることから、抵抗変化記憶素子 6 の高抵抗状態での抵抗値と低抵抗状態での抵抗値との間の抵抗値となるように参照抵抗素子 3 の抵抗値を設定しておけば、参照電位と記憶電位とを比較することによって抵抗変化記憶素子 6 の記憶状態が高抵抗状態なのか低抵抗状態なのかを判定することができる。

すなわち、参照電位よりも記憶電位のほうが高い場合には、参照抵抗素子 3 の抵抗値よりも抵抗変化記憶素子 6 の抵抗値のほうが高いことになり、抵抗変化記憶素子 6 の抵抗状態が高抵抗状態であると判定でき、一方、参照電位よりも記憶電位のほうが低い場合には、参照抵抗素子 3 の抵抗値よりも抵抗変化記憶素子 6

の抵抗値のほうが低いことになり、抵抗変化記憶素子6の抵抗状態が低抵抗状態であると判定できる。

したがって、図2に示すように、参照電位端子8と記憶電位端子9とにセンスアンプ10を接続し、同センスアンプ10で参照電位と記憶電位とを比較し、参照電位よりも記憶電位のほうが高い場合には、センスアンプ10の出力端子11に「H (High) 信号」を出力し、一方、参照電位よりも記憶電位のほうが低い場合には、センスアンプ10の出力端子11に「L (Low) 信号」を出力するように構成しておけば、センスアンプ10の出力端子11に出力される出力信号によって抵抗変化記憶素子6の抵抗状態が高抵抗状態なのか低抵抗状態なのかがわかり、これにより、抵抗変化記憶素子6に記憶されているデータを抵抗変化記憶素子6から読出したことになる。

以上に説明したように、上記記憶装置1では、参照抵抗素子3の抵抗値を変更できるように構成しているため、抵抗変化記憶素子6の抵抗値に個体差が生じても抵抗変化記憶素子6の高抵抗状態での抵抗値と低抵抗状態での抵抗素子の間に参照抵抗素子3の抵抗値を変更することによって、簡単かつ安価な回路構成でありながら、抵抗変化記憶素子6の記憶状態を正確に判定することができ、抵抗変化記憶素子6に記憶したデータを正確に読出すことができる。

上記記憶装置1では、記憶回路7を構成する第2の抵抗素子5の抵抗値を固定値としているが、かかる第2の抵抗素子5の抵抗値を変更できるように構成してもよい。

すなわち、図3は、第2の抵抗素子5aの抵抗値を可変とした場合の記憶装置1aの回路図であり、かかる記憶装置1aでは、第2の抵抗素子5aの抵抗値を変更することができるようにしている。

ここで、第2の抵抗素子5aは、1個の可変抵抗部品からなるものでもよく、また、複数個の可変抵抗部品を直列・並列に接続したものでもよく、さらには、トランジスタのゲートに印加する電圧によってトランジスタのON抵抗を可変としたものであってもよい。

1 1

このように、第2の抵抗素子5aの抵抗値を可変とした場合には、第2の抵抗素子5aの抵抗値を変更することによって抵抗変化記憶素子6に印加される電圧を増減することができ、これにより、抵抗変化記憶素子6に印加される電圧を最適な電圧に調整することができて、抵抗変化記憶素子6の長寿命化を図ることができる。

また、参照回路4を構成する第1の抵抗素子2の抵抗値も、上記記憶装置1のように固定値とした場合に限られず、可変としてもよい。

すなわち、図4は、参照回路4bを構成する第1の抵抗素子2bの抵抗値と記憶回路7bを構成する第2の抵抗素子5bの抵抗値と可変とした場合の記憶装置1bの回路図であり、かかる記憶装置1bでは、第1の抵抗素子2bと第2の抵抗素子5bとに制御部12を抵抗制御信号線13を介して接続し、制御部12から発せられる抵抗制御信号によって第1の抵抗素子2bの抵抗値と第2の抵抗素子5bの抵抗値とを同一抵抗値に変更することができるようにしている。

また、本記憶装置1bでは、参照抵抗素子3bに制御部12を参照抵抗制御信号線14を介して接続し、制御部12から発せられる参照抵抗制御信号によって参照抵抗素子3bの抵抗値を変更することができるようにしている。

さらに、本記憶装置1bでは、参照電位端子8と記憶電位端子9とに制御部12を接続して、制御部12にて参照電位と記憶電位とを比較し、抵抗変化記憶素子6の記憶状態を判定するようにしている。

このように、第1の抵抗素子2bの抵抗値を第2の抵抗素子5bの抵抗値と同一の抵抗値に変更できるようにした場合には、抵抗変化記憶素子6に印加される電圧と参照抵抗素子3bに印加される電圧とが同一になるように参照抵抗素子3bの抵抗値を調整することによって、参照抵抗素子3bの抵抗値がそのまま抵抗変化記憶素子6の抵抗値となり、参照抵抗素子3bの抵抗値を測定すれば抵抗変化記憶素子6の抵抗値を測定したことになり、抵抗変化記憶素子6の抵抗値を間接的に測定することができ、これにより、抵抗変化記憶素子6での記憶状態を直ちに判定することができる。

1 2

上記した記憶装置 1, 1a, 1b では、説明を簡単にするために抵抗変化記憶素子 6 を 1 個だけ用いた構成としたが、通常は複数の抵抗変化記憶素子 6 が用いられる。

すなわち、図 5 は、複数の抵抗変化記憶素子 6 を用いた記憶装置 1c の回路図であり、かかる記憶装置 1c では、複数の抵抗変化記憶素子 6 に行アドレスデコーダ 15 と列アドレスデコーダ 16 とをそれぞれ接続し、これらの行アドレスデコーダ 15 及び列アドレスデコーダ 16 に制御部 12 をアドレス信号線 17, 18 を介して接続し、制御部 12 から発せられるアドレス信号に基づいて行アドレスデコーダ 15 と列アドレスデコーダ 16 とで複数の抵抗変化記憶素子 6 のうちから 1 個の抵抗変化記憶素子 6 を選択し、かかる 1 個の抵抗変化記憶素子 6 だけが導通状態となるようにしている。

また、本記憶装置 1c では、参照回路 4c を構成する第 1 の抵抗素子 2c 及び記憶回路 7c を構成する第 2 の抵抗素子 5c として pMOS トランジスタを用い、参照抵抗素子 3c として nMOS トランジスタを用い、さらには、抵抗制御信号線 13c 及び参照抵抗制御信号線 14c の中途部に複数ビットのデジタル制御信号を各トランジスタのゲート電圧に変換する変換器 19, 20 としての D/A コンバータを介設している。

そして、本記憶装置 1c では、制御部 12 から発せられる抵抗制御信号に基づいて変換器 19 で第 1 の抵抗素子 2c と第 2 の抵抗素子 5c である pMOS トランジスタのゲート電圧を変更し、これにより、両トランジスタの ON 抵抗を変更するようにし、一方、制御部 12 から発せられる参照抵抗制御信号に基づいて変換器 20 で参照抵抗素子 3c である nMOS トランジスタのゲート電圧を変更し、これにより、nMOS トランジスタの ON 抵抗を変更するようにしている。

なお、本記憶装置 1c では、第 1 の抵抗素子 2c、第 2 の抵抗素子 5c、及び参照抵抗素子 3c に制御部 12 を接続して、制御部 12 で各抵抗素子 2c, 3c, 5c の抵抗値を変更するようにしているが、記憶装置 1c の外部から各抵抗素子 2c, 3c, 5c の抵抗値を変更できるようにしてもよい。

本記憶装置 1c では、複数の抵抗変化記憶素子 6 を用いているが、このように抵抗変化記憶素子 6 を複数用いた場合には、図 6 に示すように、予め全ての抵抗変化記憶素子 6 の高抵抗状態における抵抗値と低抵抗状態における抵抗値とを測定

1 3

して抵抗値の分布を求めておき、全ての抵抗変化記憶素子 6 の高抵抗状態における抵抗値のうち最も低い抵抗値（最低抵抗値 R_{\min} ）と低抵抗状態における抵抗値のうち最も高い抵抗値（最高抵抗値 R_{\max} ）との間の抵抗値に参照抵抗素子 3c の抵抗値（参照抵抗値 R_{ref} ）を設定すれば、一つの参照抵抗値 R_{ref} を用いて全ての抵抗変化記憶素子 6 の抵抗状態を判定することができる。

或いは、全ての抵抗変化記憶素子 6 を複数のグループに分け、各グループごとに参照抵抗値 R_{ref} を求め、各グループごとの参照抵抗値 R_{ref} を用いてそのグループに属する抵抗変化記憶素子 6 の抵抗状態を判定するようにしてもよい。

さらには、各抵抗変化記憶素子 6 の高抵抗状態における抵抗値と低抵抗状態における抵抗値とを測定し、両抵抗値の間の抵抗値をその抵抗変化記憶素子 6 の参照抵抗値 R_{ref} として記憶しておくことによって、各抵抗変化記憶素子 6 ごとに参照抵抗値 R_{ref} を異ならせ、それぞれの参照抵抗値 R_{ref} を用いて各抵抗変化記憶素子 6 の抵抗状態を判定するようにしてもよい。

上記したように、予め全ての抵抗変化記憶素子 6 の高抵抗状態における抵抗値と低抵抗状態における抵抗値とを測定し、全ての抵抗変化記憶素子 6 の高抵抗状態における抵抗値のうち最も低い抵抗値と低抵抗状態における抵抗値のうち最も高い抵抗値との間の抵抗値に参照抵抗値 R_{ref} を決定すれば、抵抗変化記憶素子 6 の抵抗値に個体差が生じても抵抗変化記憶素子 6 の高抵抗状態での抵抗値と低抵抗状態での抵抗値の間に参照抵抗素子 3c の抵抗値を設定することができ、これにより、抵抗変化記憶素子 6 の記憶状態を正確に判定することができ、抵抗変化記憶素子 6 に記憶したデータを正確に読出すことができる。

しかしながら、全ての抵抗変化記憶素子 6 の高抵抗状態における抵抗値と低抵抗状態における抵抗値とを測定するには多大な時間や煩雑な操作を要する。

そこで、短時間かつ簡単な操作で全ての抵抗変化記憶素子 6 の高抵抗状態における抵抗値のうち最も低い抵抗値と低抵抗状態における抵抗値のうち最も高い抵抗値との間の抵抗値に参照抵抗値 R_{ref} を決定する 2 種類の方法について、以下に説明する。なお、以下の説明では、記憶装置 1c を用いている。

まず、第 1 の参照抵抗値決定方法について、図 7 を参照しながら説明する。

14

第1の参照抵抗値決定方法では、図7に示すように、まず、全ての抵抗変化記憶素子6を高抵抗状態にする（ステップS1）。

次に、参照抵抗素子3cの抵抗値を設定できる最高の抵抗値に初期設定する（ステップS2）。かかる初期設定は、制御部12から発せられる参照抵抗制御信号に基づいて変換器20で参照抵抗素子3cであるnMOSトランジスタのゲート電圧を変更し、これにより、nMOSトランジスタのON抵抗を変更することによって行う。

次に、全ての抵抗変化記憶素子6のうちから順に1個の抵抗変化記憶素子6を選択する（ステップS3）。かかる抵抗変化記憶素子6の選択は、制御部12から発せられるアドレス信号に基づいて行アドレスデコーダ15と列アドレスデコーダ16とで複数の抵抗変化記憶素子6のうちから1個の抵抗変化記憶素子6を選択することによって行う。

次に、選択された1個の抵抗変化記憶素子6について、参照電位と記憶電位とを比較する（ステップS4）。かかる電位の比較は、制御部12において行う。

そして、参照電位よりも記憶電位のほうが低い場合には、参照電位と記憶電位とが同一になるように参照抵抗素子3cの抵抗値を低下させる（ステップS5）。かかる参照抵抗素子3cの抵抗値の低下は、制御部12において参照電位と記憶電位とを比較しながら制御部12から発せられる参照抵抗制御信号によって徐々に参照抵抗素子3cの抵抗値を低下させていく処理を、参照電位と記憶電位とが同一となるまで続けることによって行う。

一方、参照電位よりも記憶電位のほうが高い場合には、参照抵抗素子3cの抵抗値を変更しない。

上記ステップS3～ステップS5を全ての抵抗変化記憶素子6について行う（ステップS6）。

上記ステップS3～ステップS5を全ての抵抗変化記憶素子6について行うと、最終的には、参照抵抗素子3cの抵抗値が全ての抵抗変化記憶素子6のうちで最も低い高抵抗状態での抵抗値に設定されることになる。これは、上記ステップS5の処理を行うたびごとに、参照抵抗素子3cの抵抗値がそれまでに選択された抵抗

変化記憶素子 6 のうちで最も低い高抵抗状態での抵抗値に変更されていくからである。

そこで、全ての抵抗変化記憶素子 6 について上記ステップ S 3 ～ S 5 を行った場合には、その時点での参照抵抗素子 3c の抵抗値を高抵抗状態での最低抵抗値 R_{\min} として制御部 12 で記憶しておく（ステップ S 7）。

次に、全ての抵抗変化記憶素子 6 を低抵抗状態にする（ステップ S 8）。

次に、参照抵抗素子 3c の抵抗値を設定できる最低の抵抗値に初期設定する（ステップ S 9）。かかる初期設定は、制御部 12 から発せられる参照抵抗制御信号に基づいて変換器 20 で参照抵抗素子 3c である nMOS トランジスタのゲート電圧を変更し、これにより、nMOS トランジスタの ON 抵抗を変更することによって行う。

次に、全ての抵抗変化記憶素子 6 のうちから順に 1 個の抵抗変化記憶素子 6 を選択する（ステップ S 10）。かかる抵抗変化記憶素子 6 の選択は、制御部 12 から発せられるアドレス信号に基づいて行アドレスデコーダ 15 と列アドレスデコーダ 16 とで複数の抵抗変化記憶素子 6 のうちから 1 個の抵抗変化記憶素子 6 を選択することによって行う。

次に、選択された 1 個の抵抗変化記憶素子 6 について、参照電位と記憶電位とを比較する（ステップ S 11）。かかる電位の比較は、制御部 12 において行う。

そして、参照電位よりも記憶電位のほうが高い場合には、参照電位と記憶電位とが同一になるように参照抵抗素子 3c の抵抗値を増加させる（ステップ S 12）。かかる参照抵抗素子 3c の抵抗値の増加は、制御部 12 において参照電位と記憶電位とを比較しながら制御部 12 から発せられる参照抵抗制御信号によって徐々に参照抵抗素子 3c の抵抗値を増加させていく処理を、参照電位と記憶電位とが同一となるまで続けることによって行う。

一方、参照電位よりも記憶電位のほうが低い場合には、参照抵抗素子 3c の抵抗値を変更しない。

上記ステップ S 10 ～ ステップ S 12 を全ての抵抗変化記憶素子 6 について行う（ステップ S 13）。

上記ステップ S 10～ステップ S 12 を全ての抵抗変化記憶素子 6 について行うと、最終的には、参照抵抗素子 3c の抵抗値が全ての抵抗変化記憶素子 6 のうちで最も高い低抵抗状態での抵抗値に設定されることになる。これは、上記ステップ S 12 の処理を行うたびごとに、参照抵抗素子 3c の抵抗値がそれまでに選択された抵抗変化記憶素子 6 のうちで最も高い低抵抗状態での抵抗値に変更されていくからである。

そこで、全ての抵抗変化記憶素子 6 について上記ステップ S 10～S 12 を行った場合には、その時点での参照抵抗素子 3c の抵抗値を低抵抗状態での最高抵抗値 R_{\max} として制御部 12 で記憶しておく（ステップ S 14）。

最後に、高抵抗状態での最低抵抗値 R_{\min} と低抵抗状態での最高抵抗値 R_{\max} との間の抵抗値に参照抵抗素子 3c の抵抗値（参照抵抗値 R_{ref} ）を決定する（ステップ S 15）。ここで、参照抵抗値 R_{ref} は、高抵抗状態での最低抵抗値 R_{\min} と低抵抗状態での最高抵抗値 R_{\max} との間の抵抗値であればよいが、高抵抗状態での最低抵抗値 R_{\min} と低抵抗状態での最高抵抗値 R_{\max} との中間値がより好ましい。

上記した第 1 の参照抵抗値決定方法では、各抵抗変化記憶素子 6 の抵抗値を具体的に測定する必要がなく、ただ単に参照電位と記憶電位とを比較し、必要に応じて参照抵抗素子 3c の抵抗値を増減させるだけでよく、短時間かつ簡単な操作で参照抵抗値 R_{ref} を決定することができる。

なお、上記した第 1 の参照抵抗値決定方法では、高抵抗状態での最低抵抗値 R_{\min} を先に検出し（ステップ S 1～ステップ S 7）、その後、低抵抗状態での最高抵抗値 R_{\max} を検出している（ステップ S 8～ステップ S 14）が、これらの順序は逆になってもよい。

次に、第 2 の参照抵抗値決定方法について図 8 及び図 9 を参照しながら説明する。

まず、複数の抵抗変化記憶素子 6 のうちの一部の抵抗変化記憶素子 6 を用いて高抵抗状態における仮の参照抵抗値 R'_{ref} を決定する処理を行う（ステップ S 20、以下、「高抵抗状態における仮参照抵抗値決定処理」と呼ぶ。）。

17

かかる高抵抗状態における仮参照抵抗値決定処理では、複数の抵抗変化記憶素子6のうちの一部の抵抗変化記憶素子6（以下、「第一次対象記憶素子」と呼ぶ。）について、高抵抗状態における抵抗値のうちで最も低い抵抗値を高抵抗状態における仮の参照抵抗値 R'_{ref_0} に決定する。

具体的には、全ての第一次対象記憶素子について前述した第1の参照抵抗値決定方法（ステップS1～S7）を用いて高抵抗状態における最低抵抗値を求め、その値を高抵抗状態における仮の参照抵抗値 R'_{ref_0} とする。

次に、第一次対象記憶素子以外の抵抗変化記憶素子6（以下、「仮対象記憶素子」と呼ぶ。）について、上記高抵抗状態における仮参照抵抗値決定処理で決定した仮の参照抵抗値 R'_{ref_0} を用いて抵抗状態を判定し、誤って抵抗状態を判定される抵抗変化記憶素子6を検出する処理を行う（ステップS21、以下、「高抵抗状態における誤判定素子検出処理」と呼ぶ。）。

かかる高抵抗状態における誤判定素子検出処理では、図9に示すように、まず、参照抵抗素子3cの抵抗値を高抵抗状態における仮の参照抵抗値 R'_{ref_0} に設定する（ステップS30）。かかる設定は、制御部12から発せられる参照抵抗制御信号に基づいて変換器20で参照抵抗素子3cであるnMOSトランジスタのゲート電圧を変更し、これにより、nMOSトランジスタのON抵抗を変更することによって行う。

次に、全ての仮対象記憶素子を高抵抗状態にする（ステップS31）。

次に、全ての仮対象記憶素子のうちから順に1個の抵抗変化記憶素子6を選択する（ステップS32）。かかる抵抗変化記憶素子6の選択は、制御部12から発せられるアドレス信号に基づいて行アドレスデコーダ15と列アドレスデコーダ16とで複数の抵抗変化記憶素子6のうちから1個の抵抗変化記憶素子6を選択することによって行う。

次に、選択された1個の抵抗変化記憶素子6について、参照電位と記憶電位とを比較する（ステップS33）。かかる電位の比較は、制御部12において行う。

そして、参照電位よりも記憶電位のほうが低い場合には、その抵抗変化記憶素子6のアドレスを制御部12に記憶する（ステップS34）。

一方、参照電位よりも記憶電位のほうが高い場合には、その抵抗変化記憶素子 6 のアドレスは記憶しない。

上記ステップ S 32～ステップ S 34 を全ての仮対象記憶素子について行う（ステップ S 35）。

上記ステップ S 32～ステップ S 34 を全ての仮対象記憶素子について行うことによって、仮対象記憶素子のうちで高抵抗状態での抵抗値が仮の参照抵抗値 R'_{ref_0} よりも低くなる抵抗変化記憶素子 6 が検出される。

上記した高抵抗状態における誤判定素子検出処理を行うことによって、第一次対象記憶素子以外の抵抗変化記憶素子 6 のうちで高抵抗状態での抵抗値が仮の参照抵抗値 R'_{ref_0} よりも低くなるものが検出される（以下、これらの抵抗変化記憶素子 6 を「第二次対象記憶素子」と呼ぶ。）。

次に、第二次対象記憶素子だけを用いて高抵抗状態における最低抵抗値 R_{min} を決定する処理を行う（ステップ S 22、以下、「高抵抗状態における最低抵抗値決定処理」と呼ぶ。）。

かかる高抵抗状態における最低抵抗値決定処理では、第二次対象記憶素子について、高抵抗状態における抵抗値のうちで最も低い抵抗値を高抵抗状態における最低抵抗値 R_{min} に決定する。

具体的には、全ての第二次対象記憶素子について前述した第 1 の参照抵抗値決定方法（ステップ S 1～S 7）を用いて高抵抗状態における最低抵抗値を求め、その値を高抵抗状態における最低抵抗値 R_{min} とする。

次に、複数の抵抗変化記憶素子 6 のうちの一部の抵抗変化記憶素子 6 を用いて低抵抗状態における仮の参照抵抗値 R'_{ref_1} を決定する処理を行う（ステップ S 23、以下、「低抵抗状態における仮参照抵抗値決定処理」と呼ぶ。）。

かかる低抵抗状態における仮参照抵抗値決定処理では、複数の抵抗変化記憶素子 6 のうちの一部の抵抗変化記憶素子 6（以下、「第一次対象記憶素子」と呼ぶ。）について、低抵抗状態における抵抗値のうちで最も高い抵抗値を低抵抗状態における仮の参照抵抗値 R'_{ref_1} に決定する。

具体的には、全ての第一次対象記憶素子について前述した第1の参照抵抗値決定方法(ステップS8～S14)を用いて低抵抗状態における最高抵抗値を求め、その値を低抵抗状態における仮の参照抵抗値 R'_{ref_1} とする。

次に、第一次対象記憶素子以外の抵抗変化記憶素子6（以下、「仮対象記憶素子」と呼ぶ。）について、上記低抵抗状態における仮参照抵抗値決定処理で決定した仮の参照抵抗値 R'_{ref_1} を用いて抵抗状態を判定し、誤って抵抗状態を判定される抵抗変化記憶素子6を検出する処理を行う（ステップS24、以下、「低抵抗状態における誤判定素子検出処理」と呼ぶ。）。

かかる低抵抗状態における誤判定素子検出処理では、前述した高抵抗状態における誤判定素子検出処理（図9参照）と同様に、まず、参照抵抗素子3cの抵抗値を低抵抗状態における仮の参照抵抗値 R'_{ref_1} に設定する。かかる設定は、制御部12から発せられる参照抵抗制御信号に基づいて変換器20で参照抵抗素子3cであるnMOSトランジスタのゲート電圧を変更し、これにより、nMOSトランジスタのON抵抗を変更することによって行う。

次に、全ての仮対象記憶素子を低抵抗状態にする。

次に、全ての仮対象記憶素子のうちから順に1個の抵抗変化記憶素子6を選択する。かかる抵抗変化記憶素子6の選択は、制御部12から発せられるアドレス信号に基づいて行アドレスデコーダ15と列アドレスデコーダ16とで複数の抵抗変化記憶素子6のうちから1個の抵抗変化記憶素子6を選択することによって行う。

次に、選択された1個の抵抗変化記憶素子6について、参照電位と記憶電位とを比較する。かかる電位の比較は、制御部12において行う。

そして、参照電位よりも記憶電位のほうが高い場合には、その抵抗変化記憶素子6のアドレスを制御部12に記憶する。

一方、参照電位よりも記憶電位のほうが低い場合には、その抵抗変化記憶素子6のアドレスは記憶しない。

上記した処理を全ての仮対象記憶素子について行う。これにより、仮対象記憶素子のうちで低抵抗状態での抵抗値が仮の参照抵抗値 R'_{ref_1} よりも高くなる抵抗変化記憶素子6が検出される。

上記した低抵抗状態における誤判定素子検出処理を行うことによって、第一次対象記憶素子以外の抵抗変化記憶素子6のうちで低抵抗状態での抵抗値が仮の参照抵抗値 R'_{ref_1} よりも高くなるものが検出される（以下、これらの抵抗変化記憶素子6を「第二次対象記憶素子」と呼ぶ。）。

次に、第二次対象記憶素子だけを用いて低抵抗状態における最高抵抗値 R_{max} を決定する処理を行う（ステップS25、以下、「低抵抗状態における最高抵抗値決定処理」と呼ぶ。）。

かかる低抵抗状態における最高抵抗値決定処理では、第二次対象記憶素子について、低抵抗状態における抵抗値のうちで最も高い抵抗値を低抵抗状態における最高抵抗値 R_{max} に決定する。

具体的には、全ての第二次対象記憶素子について前述した第1の参照抵抗値決定方法（ステップS8～S14）を用いて低抵抗状態における最高抵抗値を求め、その値を低抵抗状態における最高抵抗値 R_{max} とする。

次に、最終的な参照抵抗値 R_{ref} を決定する処理を行う（ステップS26、以下、「本参照抵抗値決定処理」と呼ぶ。）。

かかる本参照抵抗値決定処理では、高抵抗状態での抵抗値のうち最も低い抵抗値（最低抵抗値 R_{min} ）と低抵抗状態での抵抗値のうち最も高い抵抗値（最高抵抗値 R_{max} ）との間の抵抗値に参照抵抗値 R_{ref} を決定する。

具体的には、最低抵抗値 R_{min} と最高抵抗値 R_{max} との平均値（中間値）を求め、その値を最終的な参照抵抗値 R_{ref} に決定する。

なお、上記第2の参照抵抗値決定方法では、高抵抗状態での検出（ステップS20～ステップS22）を先に行い、その後、低抵抗状態での検出（ステップS23～ステップS25）を行っているが、これらの順序は逆になってもよい。

このように、上記第2の参照抵抗値決定方法では、複数の抵抗変化記憶素子6のうちの一部の抵抗変化記憶素子6について高抵抗状態での最も低い抵抗値を求め、その抵抗値を仮の参照抵抗値 R'_{ref_0} として設定し、残りの抵抗変化記憶素子6について、高抵抗状態での抵抗値が前記仮の参照抵抗値 R'_{ref_0} よりも低いと判定される抵抗変化記憶素子6の抵抗値のうちで最も低い抵抗値を高抵抗状態にお

2 1

ける最低抵抗値 R_{\min} とし、一方、複数の抵抗変化記憶素子 6 のうちの一部の抵抗変化記憶素子 6 について低抵抗状態での最も高い抵抗値を求め、その抵抗値を仮の参照抵抗値 R'_{ref_1} として設定し、残りの抵抗変化記憶素子 6 について、低抵抗状態での抵抗値が前記仮の参照抵抗値 R'_{ref_1} よりも高いと判定される抵抗変化記憶素子 6 の抵抗値のうちで最も高い抵抗値を低抵抗状態における最高抵抗値 R_{\max} とし、前記高抵抗状態における最低抵抗値 R_{\min} と低抵抗状態における最高抵抗値 R_{\max} との間の抵抗値を参照抵抗値 R_{ref} に決定している

そのため、参照抵抗値 R_{ref} を決定するまでに要する抵抗変化記憶素子 6 の抵抗値の検出回数を低減することができ、短時間で参照抵抗値 R_{ref} を決定することができる。

ここで、上記第 2 の参照抵抗値決定方法によれば、高抵抗状態における最低抵抗値 R_{\min} 又は低抵抗状態における最高抵抗値 R_{\max} を決定するまでに要する抵抗変化記憶素子 6 の抵抗値の検出回数は、第一次対象記憶素子の個数と第二次対象記憶素子の個数との総和（以下、「総検出個数」と呼ぶ。）になる。

そこで、総検出個数を可及的に小さくすることができる第一次対象記憶素子の個数について以下に説明する。

抵抗変化記憶素子 6 の抵抗値が正規分布に従うと仮定する。正規分布は次式で表される。

$$D(x, \mu, \sigma) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left[-\frac{(x-\mu)^2}{2\sigma^2}\right] \quad (1)$$

ここで、 x は抵抗値、 μ は平均値、 σ は標準偏差である。

全ての抵抗変化記憶素子 6 の個数を N_0 、第一次対象記憶素子の個数を N_1 とすると、仮参照抵抗値決定処理での最大値が x_{\max} である確率は次式で表される。

$$P(x_{\max}) = N_1 D(x_{\max}, \mu, \sigma) \left(\int_{-\infty}^{x_{\max}} D(x, \mu, \sigma) dx \right)^{N_1-1} \quad (2)$$

したがって、最大値の期待値は次式で表される。

$$\overline{x_{max}} = \int_{-\infty}^{\infty} x_{max} P(x_{max}) dx_{max} \quad (3)$$

これを図示したものが図 10 であり、図 10 は第一次対象記憶素子の個数 N_1 と仮参照抵抗値決定処理で検出される最大抵抗値との関係を示しており、かかる図から第一次対象記憶素子の個数 N_1 が多くなるにつれてより大きな最大抵抗値を検出できることがわかる。

そして、仮参照値決定処理で検出される最大抵抗値に基づいて誤判定素子検出処理を行うと、第二次対象記憶素子の個数 N_2 は次式で表される。

$$N_2 = N_0 \int_{\overline{x_{max}}}^{\infty} D(x, \mu, \sigma) dx \quad (4)$$

以上のことから、第一次対象記憶素子の個数 N_1 と第二次対象記憶素子の個数 N_2 との関係を示すと図 11 のようになり、第一次対象記憶素子の個数 N_1 が多くなるにつれて第二次対象記憶素子の個数 N_2 が少なくなることがわかる。

総検出個数 N は、第一次対象記憶素子の個数 N_1 と第二次対象記憶素子の個数 N_2 との総和であるから、それを図示すると図 12 のようになる。図 12 からわかるように、全ての抵抗変化記憶素子 6 の個数 N_0 (図 12 には、 N_0 が 1 kb、4 kb、16kb、64kb、256 kb の各場合について示している) に応じて総検出個数 N が最小個数となる第一次対象記憶素子の個数 N_1 が存在していることがわかる。

したがって、図 12 より最適な第一次対象記憶素子の個数 N_1 を選択すれば、総検出個数 N を最小にすることができ、より一層短時間で高抵抗状態における最低抵抗値 R_{min} や低抵抗状態における最高抵抗値 R_{max} を決定することができ、これにより、参照抵抗値も一層短時間で決定することができる。

例えば、全ての抵抗変化記憶素子 6 の個数 N_0 が 16kb の場合には、第一次対象記憶素子の個数 N_1 を 100 個とすると、第二次対象記憶素子の個数 N_2 は約 100 個となり、総検出個数 N は約 200 個となる。これは、16kb 分の全ての抵抗変化記憶素子 6 について抵抗値を検出した場合に比べて $1/82$ の検出回数で高抵抗状態

における最低抵抗値 R_{\min} 又は低抵抗状態における最高抵抗値 R_{\max} を検出できることになる。

また、上記本参照抵抗値決定処理では、全ての第二次対象記憶素子について処理しているが、ここでも、第二次対象記憶素子の一部について再び仮参照抵抗値決定処理を行い、残りの素子について本参照抵抗値決定処理を行うようにすれば、さらに総検出個数 N を減らすことができる。

例えば、全ての抵抗変化記憶素子 6 の個数 N_0 が 16kb の場合には、第一次対象記憶素子の個数 N_1 を 17 個とすると、第二次対象記憶素子の個数 N_2 は約 590 個となり、そのうちの 16 個について再び仮参照抵抗値決定処理を行えば、本参照抵抗値決定処理の対象となる素子の個数は約 21 個となり、総検出個数 N は約 54 個となる。これは、16kb 分の全ての抵抗変化記憶素子 6 について抵抗値を検出した場合に比べて $1/300$ の検出回数で高抵抗状態における最低抵抗値 R_{\min} 又は低抵抗状態における最高抵抗値 R_{\max} を検出できることになる。

産業上の利用可能性

(1) 請求の範囲第 1 項記載の本発明では、参照抵抗素子の抵抗値を変更できるようにしているため、抵抗変化記憶素子の抵抗値に個体差が生じても抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗素子の間に参照抵抗素子の抵抗値を変更することによって、抵抗変化記憶素子の記憶状態を正確に判定することができ、抵抗変化記憶素子に記憶したデータを正確に読出すことができる。

(2) 請求の範囲第 2 項記載の本発明では、2 つの異なる電位に設定された基準電位端子間に、抵抗素子と参照抵抗素子とを直列接続してなる参照回路と、抵抗素子と抵抗変化記憶素子とを直列接続してなる記憶回路とを並列接続し、しかも、参照抵抗素子は、抵抗値を変更できるように構成しているため、簡単かつ安価な回路構成でありながら、抵抗変化記憶素子の抵抗値に個体差が生じても抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗素子の間に参照抵抗素子の抵抗値を変更することによって、抵抗変化記憶素子の記憶状態を正確に判定することができ、抵抗変化記憶素子に記憶したデータを正確に読出すことがで

きる。

(3) 請求の範囲第3項記載の本発明では、2つの異なる電位に設定された基準電位端子間に、第1の抵抗素子と前記参照抵抗素子とを直列接続してなる参照回路と、第2の抵抗素子と複数のうちから選択された1個の前記抵抗変化記憶素子とを直列接続してなる記憶回路とを並列接続し、しかも、前記参照抵抗素子は、抵抗値を変更できるように構成しているため、簡単かつ安価な回路構成でありながら、複数の抵抗変化記憶素子の抵抗値に個体差が生じても抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗素子の間に参照抵抗素子の抵抗値を変更することによって、全ての抵抗変化記憶素子の記憶状態を正確に判定することができ、全ての抵抗変化記憶素子に記憶したデータを正確に読出すことができる。

(4) 請求の範囲第4項記載の本発明では、記憶回路の抵抗素子の抵抗値を変更できるようにしているため、記憶回路の抵抗素子の抵抗値を増減することで抵抗変化記憶素子に印加される電圧を増減することができ、抵抗変化記憶素子に印加される電圧を最適な電圧に調整することができ、抵抗変化記憶素子の長寿命化を図ることができる。

(5) 請求の範囲第5項記載の本発明では、参照回路の抵抗素子の抵抗値を記憶回路の抵抗素子の抵抗値と同一の抵抗値に変更できるようにしているため、抵抗変化記憶素子に印加される電圧と参照抵抗素子に印加される電圧とを同一にすることによって、参照抵抗素子の抵抗値がそのまま抵抗変化記憶素子の抵抗値となり、参照抵抗素子の抵抗値を測定すれば抵抗変化記憶素子の抵抗値を測定したことになり、抵抗変化記憶素子の抵抗値を間接的に測定することができ、これにより、抵抗変化記憶素子での記憶状態を直ちに判定することができる。

(6) 請求の範囲第6項記載の本発明では、参照回路の抵抗素子と参照抵抗素子との接続部の電位を参照電位とし、記憶回路の抵抗素子と抵抗変化記憶素子との接続部の電位を記憶電位とし、参照電位と記憶電位とを比較して、記憶電位が参照電位よりも高い場合には抵抗変化記憶素子の抵抗状態を高抵抗状態と判定し、一方、記憶電位が参照電位よりも低い場合には抵抗変化記憶素子の抵抗状態を低

抵抗状態と判定するようにしているため、参照電位と記憶電位との電位差から抵抗変化記憶素子での抵抗状態を判定することができ、抵抗変化記憶素子での抵抗状態の判定を比較的簡単かつ安価な回路構成で行うことができる。

(7) 請求の範囲第7項記載の本発明では、抵抗変化記憶素子の高抵抗状態での抵抗値のうち最も低い抵抗値と低抵抗状態での抵抗値のうち最も高い抵抗値との間の抵抗値に参照抵抗値を決定しているため、抵抗変化記憶素子の抵抗値に個体差が生じても抵抗変化記憶素子の高抵抗状態での抵抗値と低抵抗状態での抵抗値の間に参照抵抗素子の抵抗値を設定することができ、これにより、抵抗変化記憶素子の記憶状態を正確に判定することができ、抵抗変化記憶素子に記憶したデータを正確に読出すことができる。

(8) 請求の範囲第8項記載の本発明では、複数の抵抗変化記憶素子のうちの一部の抵抗変化記憶素子について高抵抗状態での最も低い抵抗値を求め、その抵抗値を仮の参照抵抗値として設定し、残りの抵抗変化記憶素子について、高抵抗状態での抵抗値が前記仮の参照抵抗値よりも低いと判定される抵抗変化記憶素子の抵抗値のうちで最も低い抵抗値を高抵抗状態における最低抵抗値とし、一方、複数の抵抗変化記憶素子のうちの一部の抵抗変化記憶素子について低抵抗状態での最も高い抵抗値を求め、その抵抗値を仮の参照抵抗値として設定し、残りの抵抗変化記憶素子について、低抵抗状態での抵抗値が前記仮の参照抵抗値よりも高いと判定される抵抗変化記憶素子の抵抗値のうちで最も高い抵抗値を低抵抗状態における最高抵抗値とし、前記高抵抗状態における最低抵抗値と低抵抗状態における最高抵抗値との間の抵抗値を参照抵抗値に決定しているため、参照抵抗値を決定するまでに要する抵抗変化記憶素子の抵抗値の検出回数を低減することができる、短時間で参照抵抗値を決定することができる。

26

請 求 の 範 囲

1. 記憶する2種類のデータに応じて参照抵抗素子の抵抗値よりも抵抗値が高くなる高抵抗状態と前記参照抵抗素子の抵抗値よりも抵抗値が低くなる低抵抗状態とに変化する抵抗変化記憶素子を用いた記憶装置において、

前記参照抵抗素子の抵抗値を変更できるべく構成したことを特徴とする抵抗変化記憶素子を用いた記憶装置。

2. 記憶する2種類のデータに応じて参照抵抗素子の抵抗値よりも抵抗値が高くなる高抵抗状態と前記参照抵抗素子の抵抗値よりも抵抗値が低くなる低抵抗状態とに変化する抵抗変化記憶素子を用いた記憶装置において、

2つの異なる電位に設定された基準電位端子間に、第1の抵抗素子と前記参照抵抗素子とを直列接続してなる参照回路と、第2の抵抗素子と前記抵抗変化記憶素子とを直列接続してなる記憶回路とを並列接続し、しかも、前記参照抵抗素子は、抵抗値を変更できるべく構成したことを特徴とする抵抗変化記憶素子を用いた記憶装置。

3. 記憶する2種類のデータに応じて参照抵抗素子の抵抗値よりも抵抗値が高くなる高抵抗状態と前記参照抵抗素子の抵抗値よりも抵抗値が低くなる低抵抗状態とに変化する抵抗変化記憶素子を用いた記憶装置において、

2つの異なる電位に設定された基準電位端子間に、第1の抵抗素子と前記参照抵抗素子とを直列接続してなる参照回路と、第2の抵抗素子と複数のうちから選択された1個の前記抵抗変化記憶素子とを直列接続してなる記憶回路とを並列接続し、しかも、前記参照抵抗素子は、抵抗値を変更できるべく構成したことを特徴とする抵抗変化記憶素子を用いた記憶装置。

4. 前記第2の抵抗素子は、抵抗値を変更できるべく構成したことを特徴とする請求の範囲第2項又は請求の範囲第3項に記載の抵抗変化記憶素子を用いた記憶装置。

5. 前記第1の抵抗素子は、抵抗値を前記第2の抵抗素子の抵抗値と同一の抵抗値に変更できるべく構成したことを特徴とする請求の範囲第2項～第4項のいずれかに記載の抵抗変化記憶素子を用いた記憶装置。

6. 前記第1の抵抗素子と前記参照抵抗素子との接続部の電位を参照電位とし、前記第2の抵抗素子と前記抵抗変化記憶素子との接続部の電位を記憶電位とし、前記参照電位と前記記憶電位とを比較して、前記記憶電位が前記参照電位よりも高い場合には前記抵抗変化記憶素子の抵抗状態を高抵抗状態と判定し、一方、前記記憶電位が前記参照電位よりも低い場合には前記抵抗変化記憶素子の抵抗状態を低抵抗状態と判定すべく構成したことを特徴とする請求の範囲第2項～第5項のいずれかに記載の抵抗変化記憶素子を用いた記憶装置。

7. 記憶する2種類のデータに応じて抵抗値が参照抵抗値よりも高くなる高抵抗状態と抵抗値が参照抵抗値よりも低くなる低抵抗状態とに変化する複数の抵抗変化記憶素子を用いた記憶装置において、

前記抵抗変化記憶素子の高抵抗状態での最も低い抵抗値と低抵抗状態での最も高い抵抗値との間の抵抗値を参照抵抗値に決定することを特徴とする抵抗変化記憶素子を用いた記憶装置の参照抵抗値決定方法。

8. 複数の抵抗変化記憶素子のうちの一部の抵抗変化記憶素子について高抵抗状態での最も低い抵抗値を求め、その抵抗値を仮の参照抵抗値として設定し、

残りの抵抗変化記憶素子について、高抵抗状態での抵抗値が前記仮の参照抵抗値よりも低いと判定される抵抗変化記憶素子の抵抗値のうちで最も低い抵抗値を高抵抗状態における最低抵抗値とし、

一方、複数の抵抗変化記憶素子のうちの一部の抵抗変化記憶素子について低抵抗状態での最も高い抵抗値を求め、その抵抗値を仮の参照抵抗値として設定し、

残りの抵抗変化記憶素子について、低抵抗状態での抵抗値が前記仮の参照抵抗値よりも高いと判定される抵抗変化記憶素子の抵抗値のうちで最も高い抵抗値を低抵抗状態における最高抵抗値とし、

前記高抵抗状態における最低抵抗値と低抵抗状態における最高抵抗値との間の抵抗値を参照抵抗値に決定することを特徴とする抵抗変化記憶素子を用いた記憶装置の参照抵抗値決定方法。

図 1

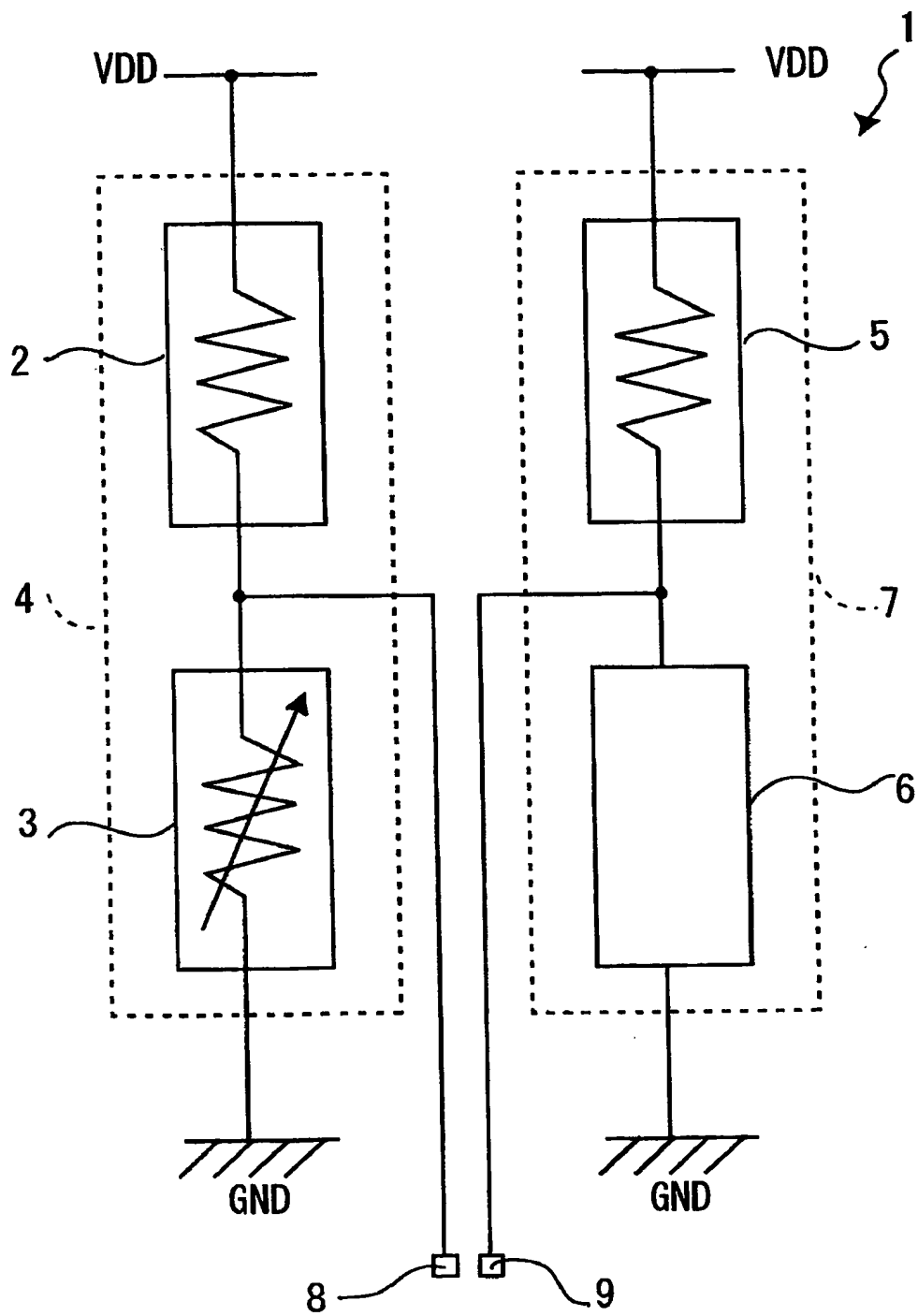
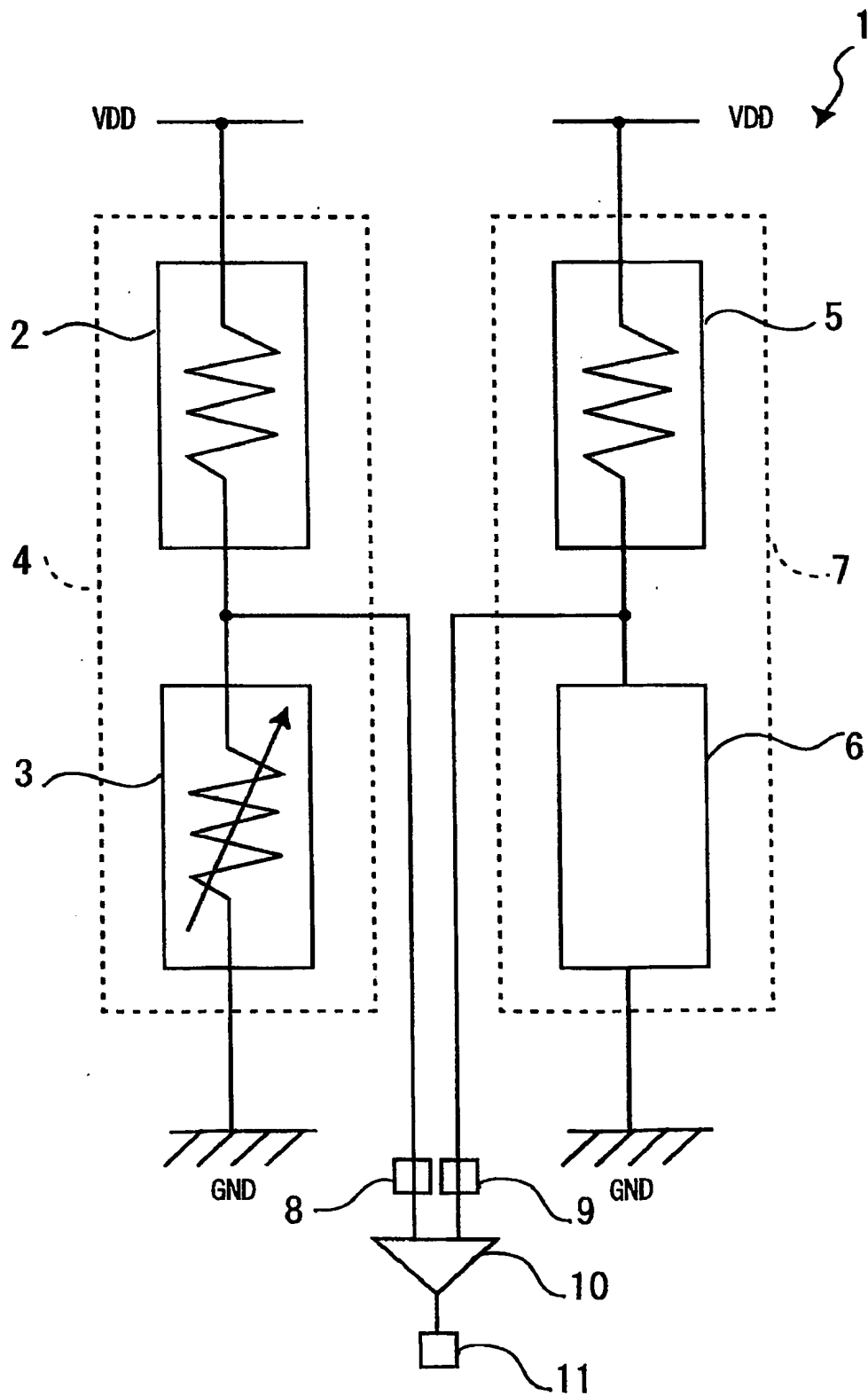
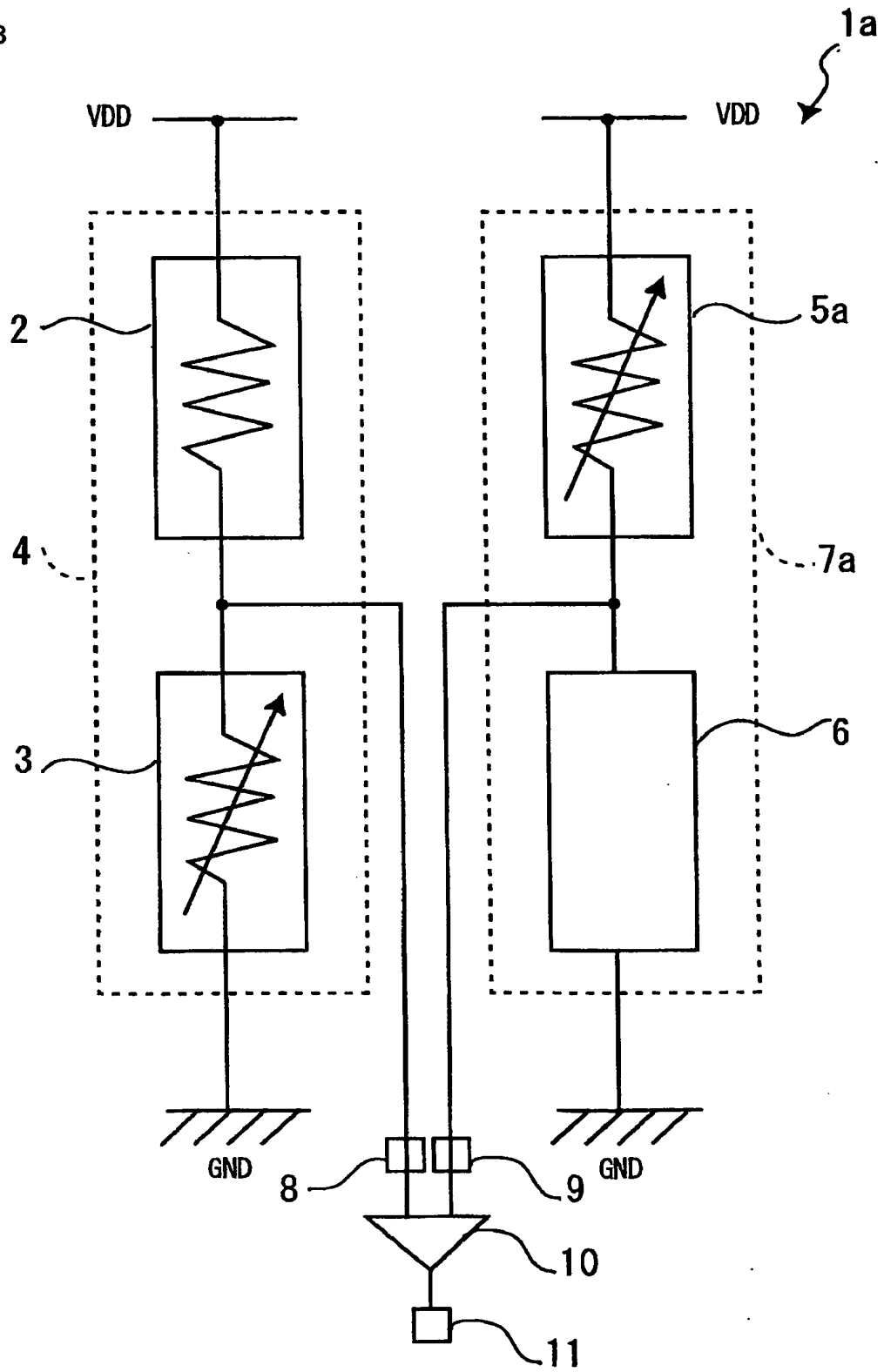


图 2



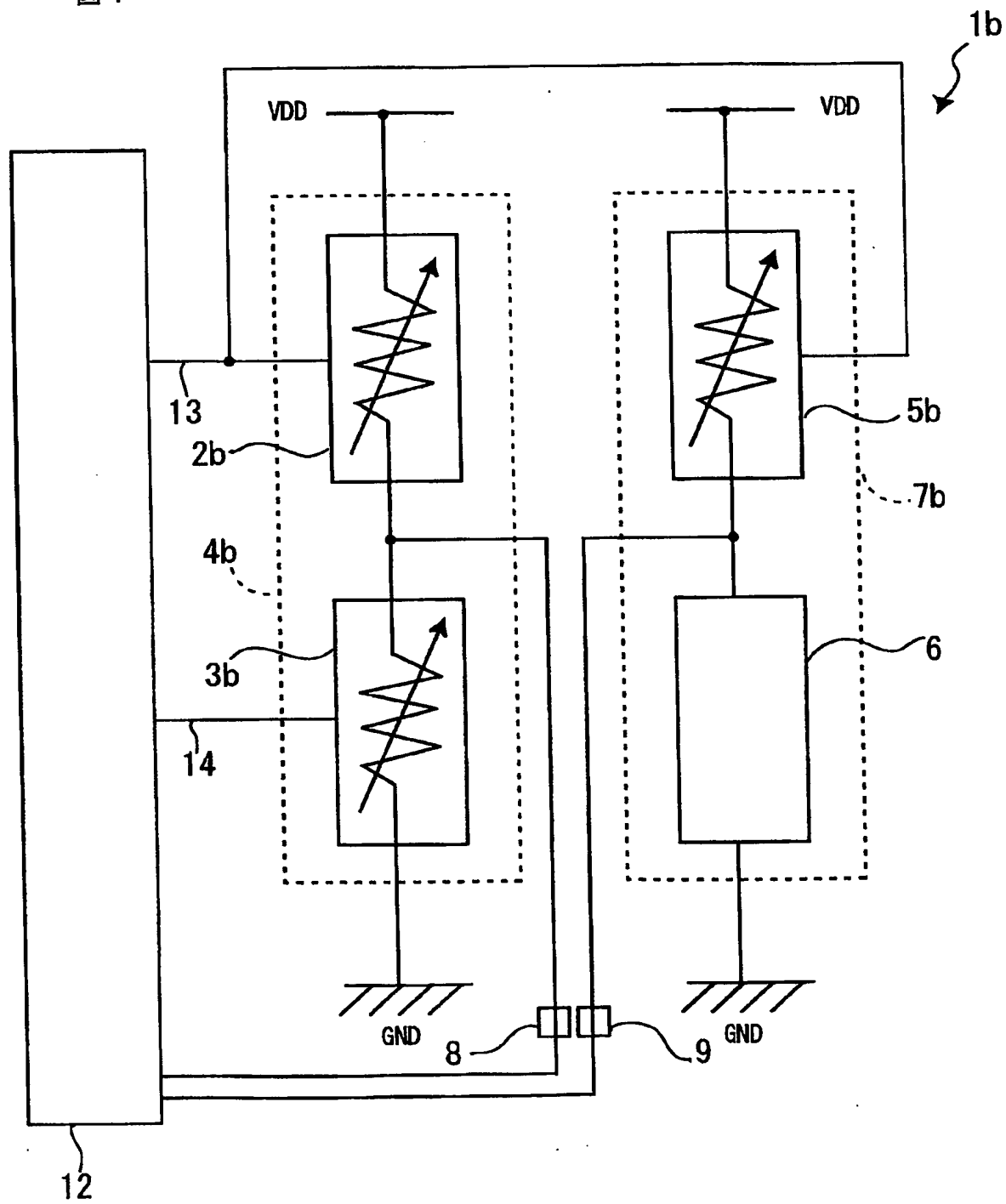
3 / 1 2

図 3



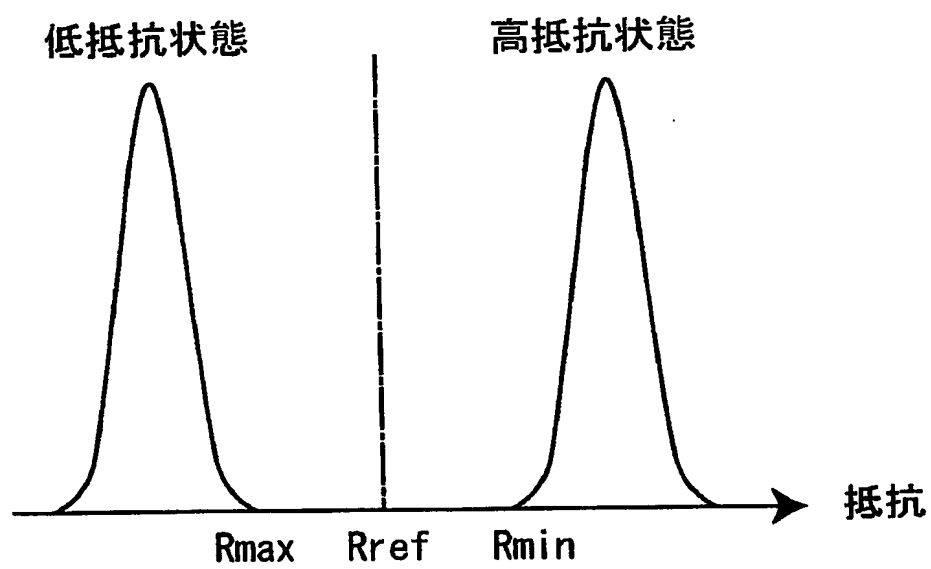
4 / 1 2

図 4



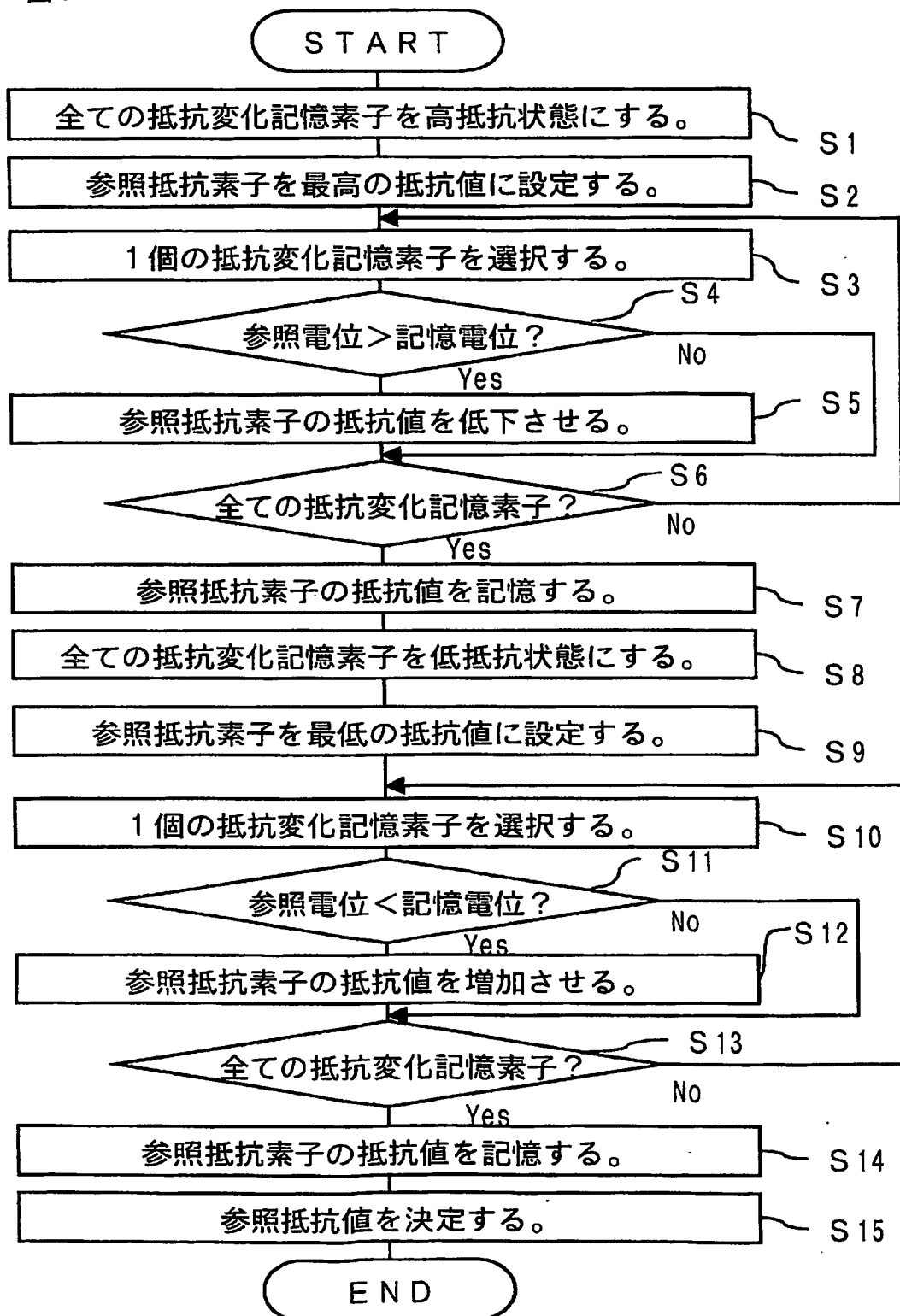
6 / 12

图 6



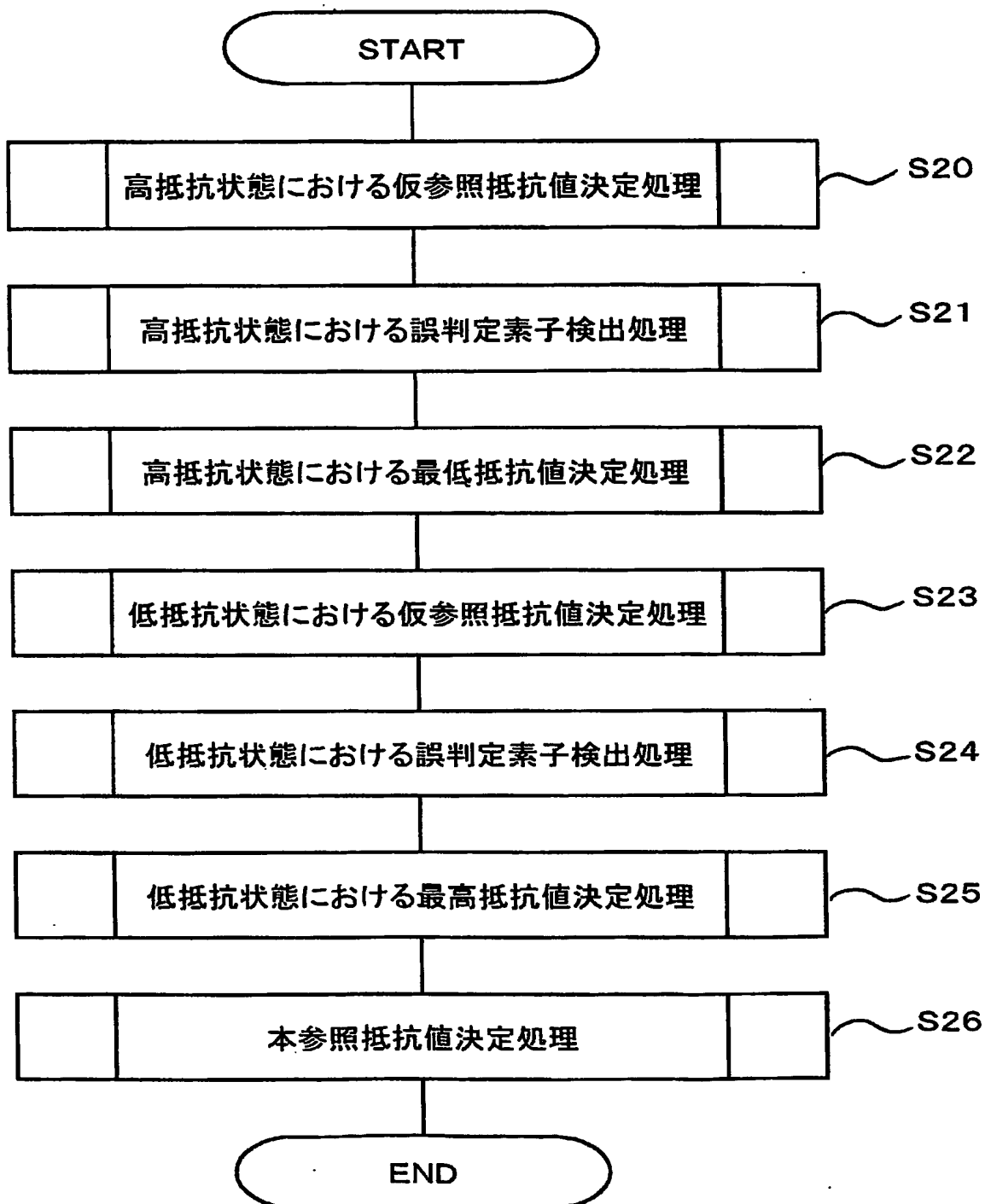
7 / 12

図 7



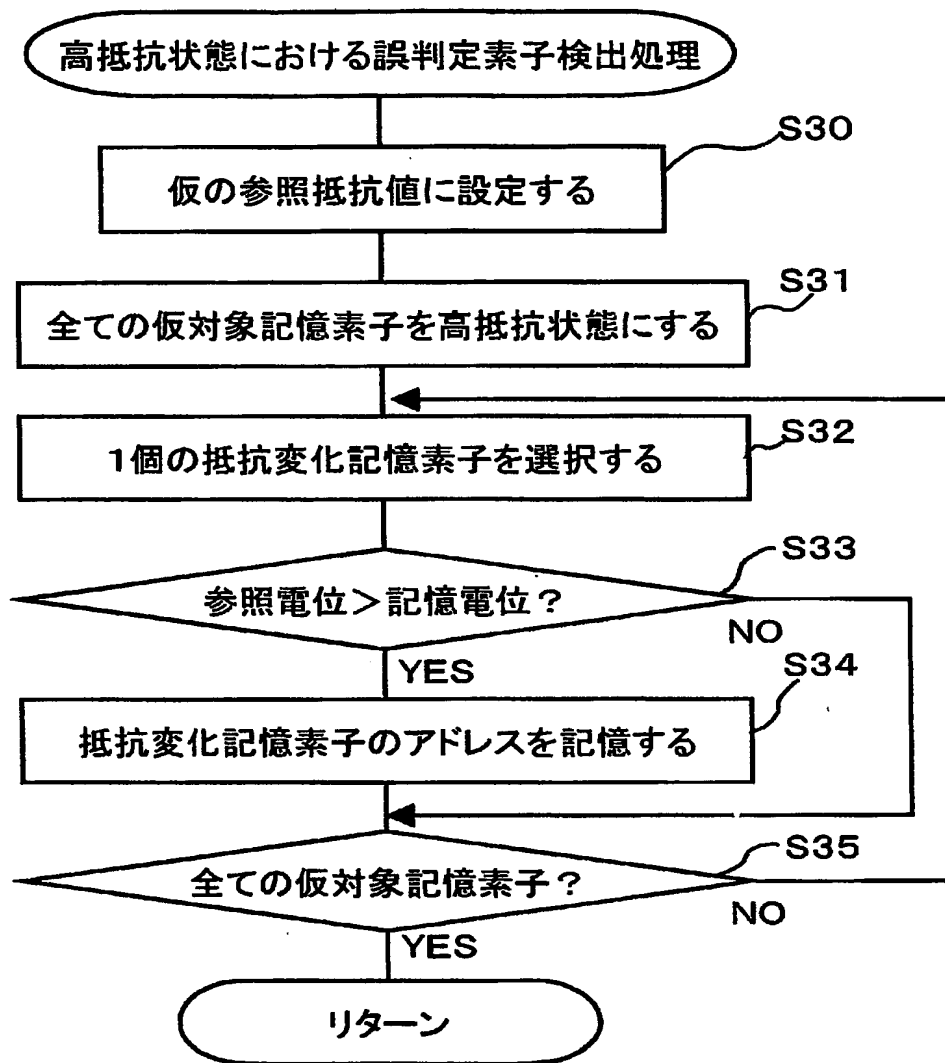
8 / 12

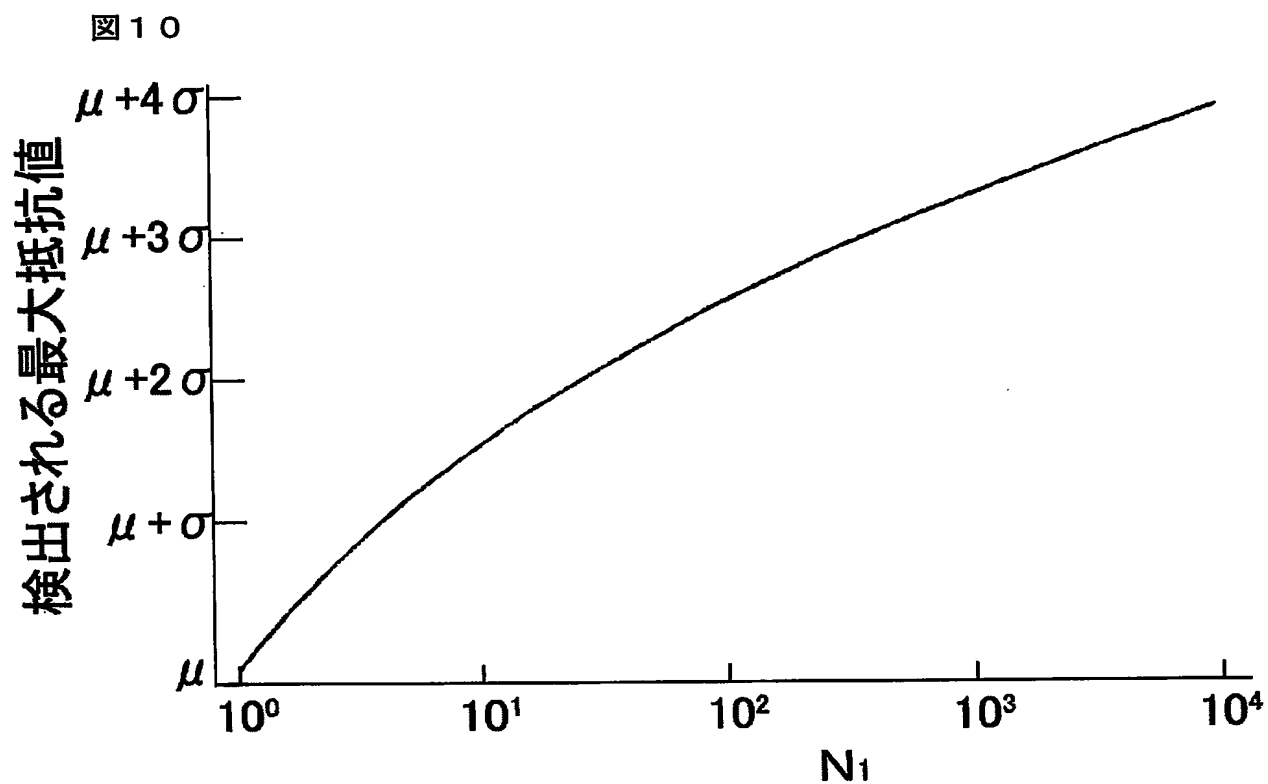
図 8



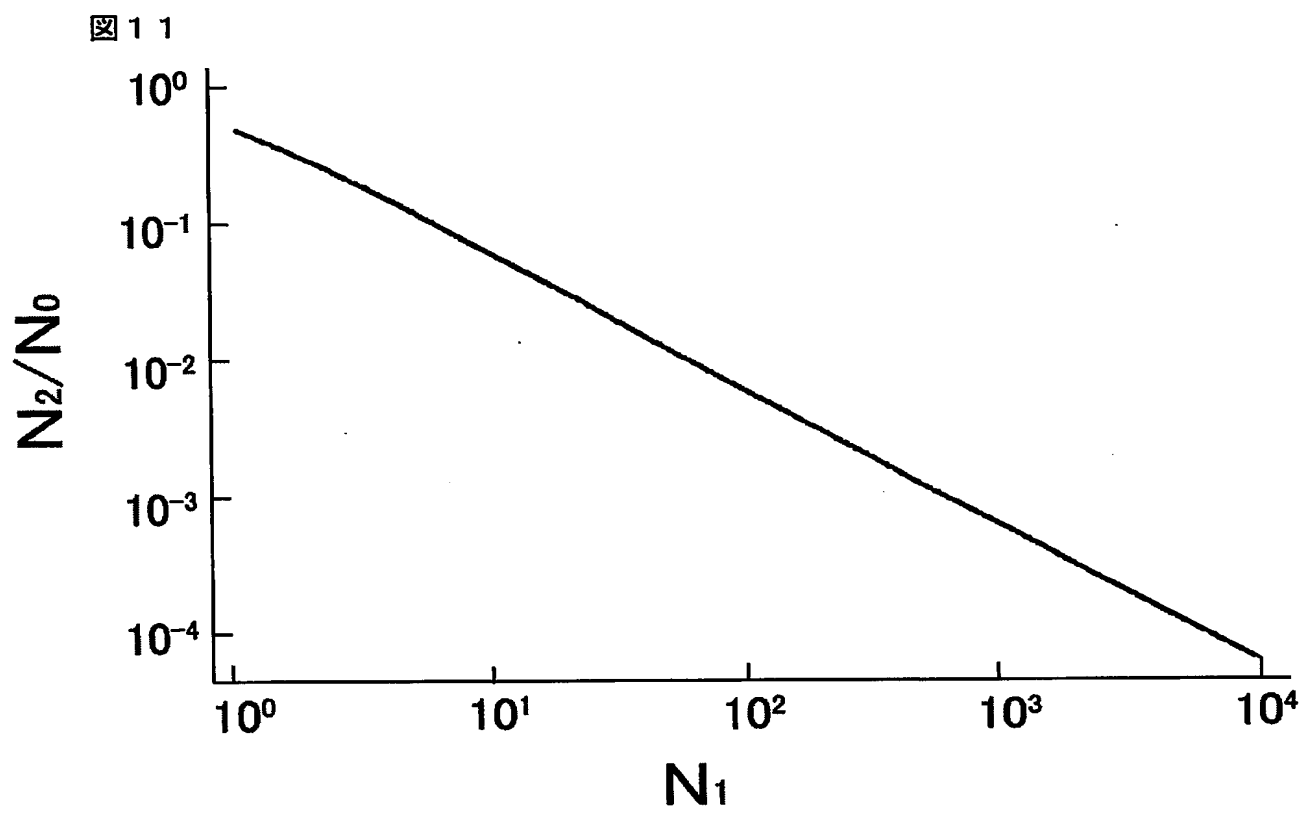
9 / 1 2

図 9



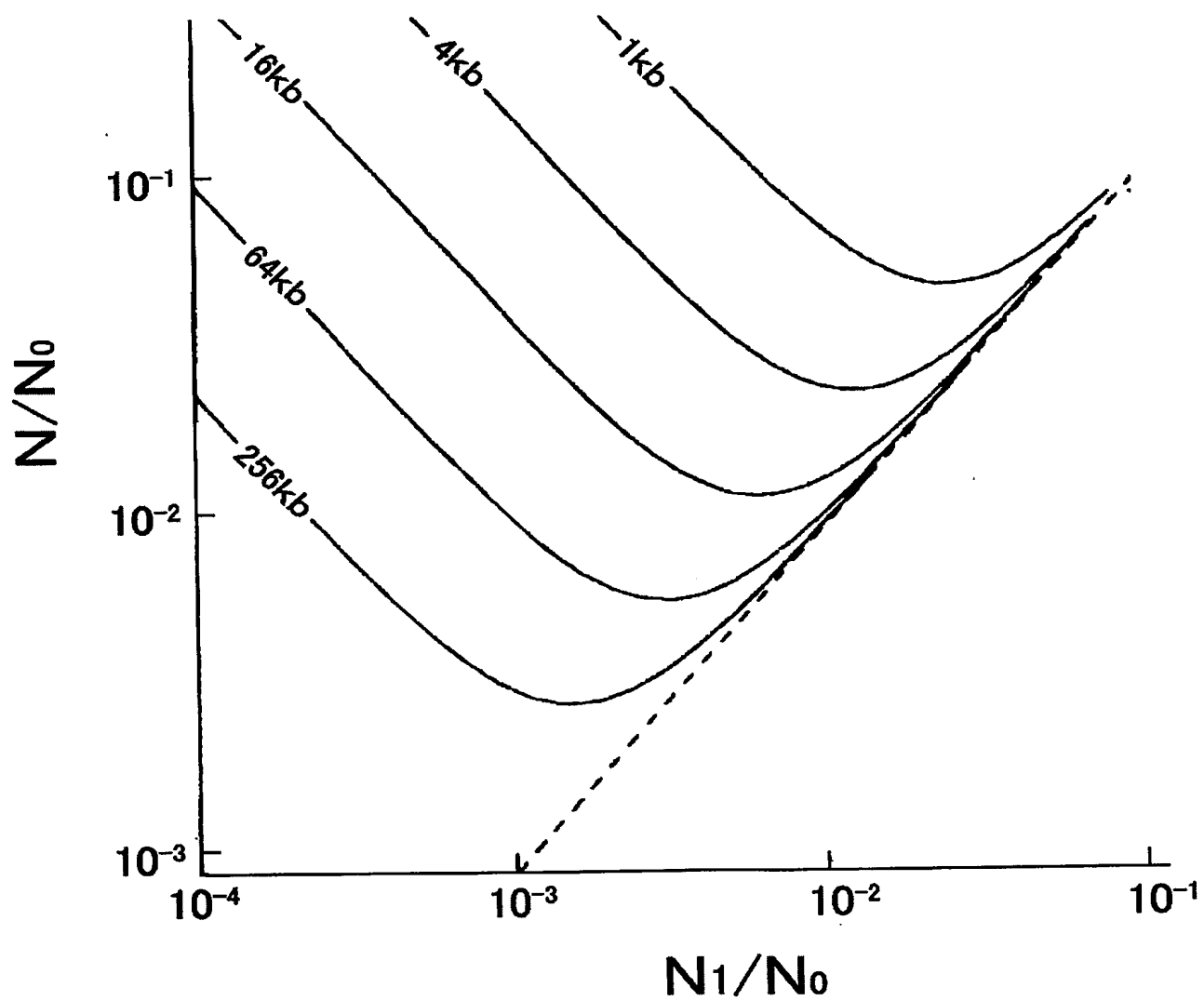


11/12



12/12

图 12



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/04859

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/15

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 6055178 A (Motorola, Inc.), 25 April, 2000 (25.04.00), Full text; all drawings & TW 459227 B & WO 00/38192 A1 & EP 1057188 A & JP 2002-533863 A	1-7 8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 August, 2003 (07.08.03)

Date of mailing of the international search report
19 August, 2003 (19.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl.⁷ G11C11/15

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl.⁷ G11C11/15

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	US 6055178 A(Motorola, Inc.) 2000. 04. 25, 全文, 全図 & TW 459227 B & WO 00/38192 A1 & EP 1057188 A & JP 2002-533863 A	1-7 8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

07. 08. 03

国際調査報告の発送日

19.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

5N

9057

印

電話番号 03-3581-1101 内線 3545